



IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

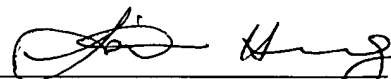
Re application of : NAI-SHUNG CHANG et al.
Application No. : 10/013,983
Filed : December 10,2001
For : CHIPSET SUPPOTING MULTIPLE CPU'S AND
LAYOUT METHOD THEREOF
Examiner :

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

March 29, 2002

(Date)


Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

RECEIVED

APR 12 2002

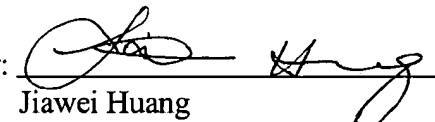
Technology Center 2100

Transmitted herewith is a certified copy of Taiwan Application No. 90120461 filed on August 21, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7294). A duplicate copy of this sheet is enclosed.

Date: 3/29/2002

By: 
Jiawei Huang
Registration No. 43,330

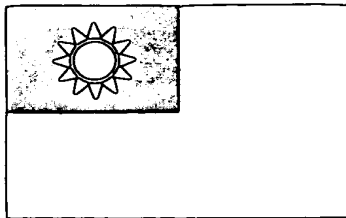
Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

7/2/11

JCLA7294

10/013,983



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 08 月 21 日
Application Date

申請案號：090120461
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

RECEIVED

APR 12 2002

Technology Center 2100

局長

Director General

陳明邦

發文日期：西元 2002 年 1 月 22 日
Issue Date

發文字號：09111001114
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 名稱	中 文	支援複數種中央處理單元之晶片組與其佈線方法
	英 文	
二、發明人 創作	姓 名	1 張乃舜 2 陳再生 3 陳淑惠
	國 籍	中華民國
三、申請人	住、居所	1 台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓 2 台北縣中和市秀朗路三段 10 巷 12 弄 17 號 3 樓 3 台北縣中和市中正路 827 號 17 樓之 1
	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

經濟部智慧財產局員工消費合作社印製

裝 訂 線

四、中文發明摘要（發明之名稱：支援複數種中央處理單元之晶片組與其佈線方法）

一種支援複數種中央處理單元之晶片組與其佈線方法，其係將晶片組有關時脈訊號等高頻重要訊號完全獨立，不做多工切換處理，並使這些訊號的接腳不再定義作其他訊號使用，使其具有自身的球格陣列式腳位，且時脈訊號走線短於其他訊號腳位所用之其他訊號走線，而時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔。由於時脈訊號等高頻重要訊號不做多工切換，能與其他訊號走線隔絕開來，因此可提升訊號的品質。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝
訂
線

五、發明說明 (/)

本發明是有關於一種電腦主機板中之控制晶片組，且特別是關於一種支援複數種中央處理單元(Central Processing Unit 簡稱 CPU，又可稱為中央處理器)之晶片組與其佈線方法。

目前在個人電腦快速的發展下，各種不同廠牌的中央處理單元不斷推出，能支援不同種類或廠牌之中央處理單元的電腦主機板就應運而生，又由於中央處理單元的速度不斷提升，訊號傳輸品質及穩定影響非常重大，好的傳輸品質能增加系統效能，亦能提高系統穩定性。因此，研發出具備有優良訊號傳輸品質及穩定性，且又能支援不同種類中央處理單元之晶片組，就變為一重要課題。

第 1A 圖及第 1B 圖繪示的是可搭配第一類中央處理單元與第二類中央處理單元的晶片組之電腦系統方塊示意圖，請同時參照第 1A 及 1B 圖。此電腦系統中之晶片組 110(一般為北橋控制晶片，簡稱 N/B)可連接至第一類中央處理單元 120 或是晶片組 110 可連接至第二類中央處理單元 130，上述兩類中央處理單元例如 Intel PIII 處理器與 AMD K7 處理器。

因為 Intel PIII 處理器只需要一時脈(clock)訊號，來與 N/B 進行資料交易傳輸，而 AMD K7 處理器卻需要一輸入時脈(input clock)訊號與一輸出時脈(output clock)，來與 N/B 進行資料交易傳輸，此輸出時脈訊號功能類似於選通(strobe)訊號。故習用與 Intel PIII 處理器搭配的 N/B，並不需要多餘的 clock 訊號接腳，但是習用

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

與 AMD K7 處理器搭配的 N/B，便需要十幾根 clock 訊號接腳。因此，習知在設計可搭配 Intel PIII 處理器與 AMD K7 處理器的 N/B 時，爲了節省輸出入(I/O)接腳數目，便將時脈訊號線(clock signal line)與其它訊號線(如位址 A/D line)作多工(multiplexing)處理，使其共用一個接腳。

第 2 圖爲習知之支援複數種中央處理單元之晶片組示意圖，請參考第 2 圖。習知之晶片組 210 爲北橋晶片，其包括：第一系統邏輯電路 220、第二系統邏輯電路 230、第一切換電路 240、第二切換電路 250、第一雙重定義腳位 241、以及第二雙重定義腳位 251 等。其中，第一系統邏輯電路 220 適用於此晶片組 210 連接至 Intel PIII 處理器時，而第二系統邏輯電路 230 適用於此晶片組 210 連接至 AMD K7 處理器時。當晶片組 210 搭配 Intel PIII 處理器時，習知之晶片組 210 利用第一切換電路 240 與第二切換電路 250，來控制切換第一雙重定義訊號腳位 241 與第二雙重定義訊號腳位 251 上的訊號是要連接至第一系統邏輯電路 220；同理，當晶片組 210 搭配 AMD K7 處理器時，使第一雙重定義訊號腳位 241 與第二雙重定義訊號腳位 251 上的訊號是要連接至第二系統邏輯電路 230，請注意此時之第二雙重定義訊號腳位 251 係經第二切換電路 250，連接至第二系統邏輯電路 230 的時脈訊號 CLK。

第 3 圖繪示的是由傳輸閘所組成的切換電路，請參照第 3 圖，此第二切換電路 250 包括：第一傳輸閘 310 與第二傳輸閘 320。其中第一傳輸閘 310 之第一端連接至位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

址訊號線(Ha₄ line)，第二傳輸閘 320 之第一端連接至與時脈訊號線(CLK line)，第一傳輸閘 310 與第二傳輸閘 320 兩者之第二端接在一起輸出。因此當控制端 CTLA 高電位時，選擇連接至 Ha₄ line，而當控制端 CTLA 低電位時，選擇連接至 CLK line。

上述的電路與佈線設計方法卻有其缺點，因為同屬性的訊號線，可以共用一個接腳，再利用上述切換電路分別控制訊號接腳上所傳輸的訊號是用於 Intel PIII 處理器或是 AMD K7 處理器。然而，若是將不同屬性的訊號線(如在第二切換電路 250 中 Ha₄ line 與 CLK line)做多工處理，使其共用同一根腳位時，亦即共用第二雙重定義訊號腳位 251 時，在訊號傳輸過程中便會產生不想要的串音干擾(crosstalk interference)，使得訊號傳輸的品質變差，若是以傳輸閘(transmission gate)做為北橋晶片的切換電路，由於其並非為理想的切換裝置，在高頻的應用上，若是使用非線性的電路元件(如傳輸閘 transmission gate 或 TTL)來切換訊號的傳送路徑，會因為電容電感效應，在電容的接地端產生接地反彈雜訊(ground bounce noise)的問題，如此會嚴重降低訊號的品質。

總言之，如採用習知之設計，將其應用在支援複數種中央處理單元之晶片組上，因時脈訊號及選通訊號等為非常高頻的訊號，如果這些訊號和其它訊號係以多工切換電路的技術合併使用同一接腳，會導致因線距太近而有串音干擾情況發生，更甚者，如多工切換電路使用傳輸閘，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

又會產生接地反彈雜訊，使得訊號傳輸的品質大受影響。

有鑑於此，本發明提供一種支援複數種中央處理單元之晶片組與其佈線方法，可以避免時脈訊號等高頻訊號干擾其他訊號，使訊號傳輸品質提昇。

本發明所提供之一種支援複數種中央處理單元之晶片組包括：適用於此晶片組連接至第一類中央處理單元的第一系統邏輯電路、適用於此晶片組連接至第二類中央處理單元的第二系統邏輯電路、雙重定義訊號腳位、獨立時脈腳位、以及多工切換電路。其中，獨立時脈腳位耦接至此第二系統邏輯電路，用以作為時脈訊號之接腳，此獨立時脈腳位並不定義作為其他訊號之接腳。而多工切換電路耦接至第一系統邏輯電路、第二系統邏輯電路以及雙重定義訊號腳位，用以將此第一系統邏輯電路之第一訊號或此第二系統邏輯電路之第二訊號連接至此雙重定義訊號腳位，其中連接此獨立時脈腳位與此第二系統邏輯電路的時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且此時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔。

本發明另提供一種支援複數種中央處理單元之晶片組之佈線方法。其中此晶片組至少包括：適用於此晶片組連接至第一類中央處理單元之第一系統邏輯電路以及適用於此晶片組連接至第二類中央處理單元之第二系統邏輯電路。此佈線方法包括下列步驟：提供出雙重定義訊號腳位，用以作為訊號傳輸之腳位；提供出多工切換電路；連接多

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

工切換電路至第一系統邏輯電路、第二系統邏輯電路以及雙重定義訊號腳位，用以將此第一系統邏輯電路之第一訊號或此第二系統邏輯電路之第二訊號連接至此雙重定義訊號腳位；提供出獨立時脈腳位，此獨立時脈腳位只定義作為惟一之一種訊號的接腳；連接此獨立時脈腳位至此第二系統邏輯電路之時脈訊號，其中連接此獨立時脈腳位與此第二系統邏輯電路之時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且此時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔。

本發明提供之一種支援複數種中央處理單元之晶片組與其佈線方法，係將時脈訊號等高頻訊號獨立出來，獨自使用一根接腳而不與其它訊號線做多工處理，可以避免時脈訊號等干擾其他訊號，使訊號傳輸品質提昇，同時為了確保時脈訊號能夠地與其它訊號隔絕開來，將連接此獨立時脈腳位與此第一系統邏輯電路的一時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且此時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔，可避免訊號過度衰減及減少晶片組內部電路的複雜度，使得晶片組的走線容易處理。

為讓本發明之上述和其他目的、特徵和優點，能更加明顯易懂，下文特舉較佳實施例，並配合所附圖示，做詳細說明如下：

圖示簡單說明：

第 1A 圖及第 1B 圖繪示的是可搭配第一類中央處理

五、發明說明(6)

器與第二類中央處理器的晶片組之電腦系統方塊示意圖；

第 2 圖繪示的是習知之支援複數種中央處理單元之晶片組示意圖；

第 3 圖繪示的是由傳輸閘所組成的切換電路；以及

第 4 圖繪示的是本發明之一較佳實施例之支援複數種中央處理單元之晶片組示意圖。

重要元件標號：

- 110 本發明之晶片組
- 120 第一類中央處理單元
- 130 第二類中央處理單元
- 210 晶片組
- 220 第一系統邏輯電路
- 230 第二系統邏輯電路
- 240 第一切換電路
- 241 第一雙重定義腳位
- 251 第二雙重定義腳位
- 250 第二切換電路
- 310 第一傳輸閘
- 320 第二傳輸閘
- 410 本發明之晶片組
- 420 第一系統邏輯電路
- 430 第二系統邏輯電路
- 440 多工切換電路
- 431 獨立時脈腳位

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(17)

432 獨立選通腳位

441 雙重定義訊號腳位

較佳實施例：

請再參照第 1A 及 1B 圖，本發明所提供之一種支援複數種中央處理單元的晶片組就是應用於此種電腦系統。如圖所示，爲了達成可支援兩種不同種類之中央處理單元的目的，本發明之晶片組可耦接至第一類中央處理單元或是耦接至第二類中央處理單元。此第一類中央處理單元例如是 Pentium 系列之中央處理單元，更特定的說，可以是 Pentium III 處理器(簡稱 PIII)；而此第二類中央處理單元例如是 AMD 系列之中央處理單元，更特定的說，可以是 AMD K7 處理器。

由於 Intel PIII 處理器只需要一種 clock 訊號，來與北橋晶片進行資料交易傳輸，而 AMD K7 處理器要與北橋晶片進行資料交易傳輸，卻需要一種 input clock 訊號與一種 output clock，其功能類似於選通(strobe)訊號，因此，當設計同時支援上述兩種中央處理單元的北橋晶片時，會發現定義來與 Intel PIII 處理器搭配的 clock 訊號接腳，會比與 AMD K7 處理器搭配的 clock 訊號接腳少相當多，例如：十幾根接腳。本發明之特徵之一就是：只要是與一般訊號不同屬性的高頻訊號，例如上述之與 AMD K7 處理器搭配的 clock 訊號，本發明即給予獨立之訊號接腳，絕不與其他 Intel PIII 處理器搭配的訊號共用同一訊號接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

腳。

故由系統主機板設計者的角度觀之，此晶片組具有複數個腳位，這些腳位至少包括：獨立時脈腳位以及複數個雙重定義訊號腳位。獨立時脈腳位係用以耦接至第二類中央處理單元，以作為時脈訊號之接腳，此獨立時脈腳位並不連接至第一類中央處理單元。而其他的雙重定義訊號腳位可耦接至第一類中央處理單元或是耦接至第二類中央處理單元，當此晶片組耦接至第一類中央處理單元時，這些雙重定義訊號腳位係定義作為此第一類中央處理單元之訊號接腳，當此晶片組耦接至第二類中央處理單元時，這些雙重定義訊號腳位係定義作為此第二類中央處理單元之訊號接腳。

第 4 圖繪示的是本發明之一較佳實施例之支援複數種中央處理單元之晶片組示意圖，請參照第 4 圖。本發明所提供之一種支援複數種中央處理單元之晶片組 410 至少包括：第一系統邏輯電路 420、第二系統邏輯電路 430、雙重定義訊號腳位 441、獨立時脈腳位 431、以及多工切換電路 440。所謂系統邏輯電路就是一般晶片組內之中心邏輯控制電路，第一系統邏輯電路 420 適用於晶片組 410 連接至第一類中央處理單元，而第二系統邏輯電路 430 適用於晶片組 410 連接至第二類中央處理單元。此第一類中央處理單元例如是 Pentium 系列之中央處理單元，更特定的說，可以是 Pentium III 處理器(簡稱 PIII)；而此第二類中央處理單元例如是 AMD 系列之中央處理單元，更特定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

的說，可以是 AMD K7 處理器。

晶片組 410 中之多工切換電路 440 耦接至第一系統邏輯電路 420、第二系統邏輯電路 430 以及雙重定義訊號腳位 441，其可將第一系統邏輯電路 420 之訊號或第二系統邏輯電路 430 之訊號連接至雙重定義訊號腳位 441。亦即，當晶片組 410 耦接至 Intel PIII 處理器時，晶片組 410 利用多工切換電路 440，使雙重定義訊號腳位 441 連接至第一系統邏輯電路 420；同理，當晶片組 410 耦接至 AMD K7 處理器時，使雙重定義訊號腳位 441 連接至第二系統邏輯電路 430。

本發明主要特徵之一就是：獨立時脈腳位 431 耦接至此第二系統邏輯電路 430，用以作為時脈訊號之接腳，且此獨立時脈腳位並不定義作為其他訊號之接腳。亦即，當晶片組 410 耦接至 AMD K7 處理器時，此第二系統邏輯電路 430 經獨立的路徑，專用獨立的時脈腳位，連接至 AMD K7 處理器，此獨立的路徑與其它訊號隔絕開來，並不做多工處理，其中連接此獨立時脈腳位與此第二系統邏輯電路的時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且此時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔。

如熟悉此藝者可輕易知曉，上述實施例中一再提及時脈訊號，其實例如選通訊號或是其他不同的時脈訊號，亦屬於與一般訊號性質不同之高頻重要訊號，故如果第二類中央處理單元有所謂之選通訊號或是其他不同的時脈訊

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

號時，則本發明之晶片組 410 亦應有獨立之選通訊號腳位或是其他不同的時脈訊號腳位 432。

綜上所述，本發明可歸納出一種支援複數種中央處理單元之晶片組之佈線方法。此晶片組包括第一系統邏輯電路以及第二系統邏輯電路，而此佈線方法包括下列步驟：首先提供多個雙重定義訊號腳位，這些雙重定義訊號腳位係用來作為訊號傳輸之腳位；然後提供多工切換電路；再連接多工切換電路至第一系統邏輯電路、第二系統邏輯電路以及上述雙重定義訊號腳位，多工切換電路可將第一系統邏輯電路之訊號或第二系統邏輯電路之訊號連接至雙重定義訊號腳位；接著提供獨立時脈腳位，此獨立時脈腳位只定義作為惟一之一種訊號的接腳；最後連接此獨立時脈腳位至第二系統邏輯電路之時脈訊號，其中連接此獨立時脈腳位與此第二系統邏輯電路之時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且此時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔。

本發明的晶片組與其佈局方法，由於將時脈訊號等高頻訊號獨立隔絕，使用專用接腳而不與其它訊號線做多工處理，故至少具有如下的優點：

1. 使訊號傳輸時的串音干擾降低
2. 減少晶片組內部電路的複雜度
3. 使得晶片組的走線容易處理

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，再不脫離本發明之精

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(| |)

神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種支援複數種中央處理單元之晶片組，包括：
一第一系統邏輯電路，其適用於該晶片組連接至一第一類中央處理單元時；

一第二系統邏輯電路，其適用於該晶片組連接至一第二類中央處理單元時；

一雙重定義訊號腳位，用以作為訊號傳輸之腳位；

一獨立時脈腳位，耦接至該第二系統邏輯電路，用以作為一時脈訊號之接腳，該獨立時脈腳位並不定義作為其他訊號之接腳；以及

一多工切換電路，耦接至該第一系統邏輯電路、該第二系統邏輯電路以及該雙重定義訊號腳位，用以將該第一系統邏輯電路之一第一訊號與該第二系統邏輯電路之一第二訊號二者擇一連接至該雙重定義訊號腳位。

2. 如申請專利範圍第 1 項所述之支援複數種中央處理單元之晶片組，其中該第一類中央處理單元包括：一 Pentium 系列之中央處理單元，該第二類中央處理單元包括：一 AMD 系列之中央處理單元。

3. 如申請專利範圍第 2 項所述之支援複數種中央處理單元之晶片組，其中該第一類中央處理單元係指 Pentium III 處理器，該第二類中央處理單元係指 AMD K7 處理器。

4. 如申請專利範圍第 1 項所述之支援複數種中央處理單元之晶片組，更包括：

一獨立選通腳位，耦接至該第二系統邏輯電路，用以作為一選通訊號之接腳，該獨立選通腳位並不定義作為

六、申請專利範圍

其他訊號之接腳。

5.如申請專利範圍第 1 項所述之支援複數種中央處理單元之晶片組，其中連接該獨立時脈腳位與該第二系統邏輯電路之一時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且該時脈訊號走線與其他訊號走線之間隔大於其他訊號走線之間的間隔。

6.一種支援複數種中央處理單元之晶片組之佈線方法，該晶片組至少包括：適用於該晶片組連接至一第一類中央處理單元之一第一系統邏輯電路，以及適用於該晶片組連接至一第二類中央處理單元之一第二系統邏輯電路，該佈線方法包括下列步驟：

提供一雙重定義訊號腳位，用以作為訊號傳輸之腳位；

提供一多工切換電路；

連接該多工切換電路至該第一系統邏輯電路、該第二系統邏輯電路以及該雙重定義訊號腳位，用以將該第一系統邏輯電路之一第一訊號與該第二系統邏輯電路之一第二訊號二者擇一連接至該雙重定義訊號腳位；

提供一獨立時脈腳位，該獨立時脈腳位只定義作為惟一之一種訊號的接腳；以及

連接該獨立時脈腳位至該第二系統邏輯電路之一時脈訊號，其中連接該獨立時脈腳位與該第二系統邏輯電路之一時脈訊號走線短於其他訊號腳位所用之其他訊號走線，且該時脈訊號走線與其他訊號走線之間隔大於其他訊

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

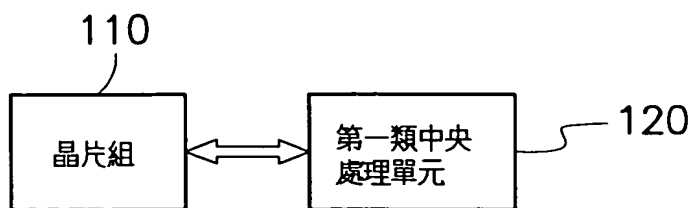
號走線之間的間隔。

7.如申請專利範圍第 6 項所述之支援複數種中央處理單元之晶片組之佈線方法，其中該第一類中央處理單元包括：一 Pentium 系列之中央處理單元，該第二類中央處理單元包括：一 AMD 系列之中央處理單元。

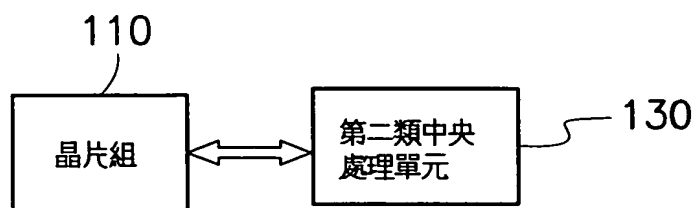
8.如申請專利範圍第 6 項所述之支援複數種中央處理單元之晶片組之佈線方法，其中該第一類中央處理單元係指 Pentium III 處理器，該第二類中央處理單元係指 AMD K7 處理器。

(請先閱讀背面之注意事項再填寫本頁)

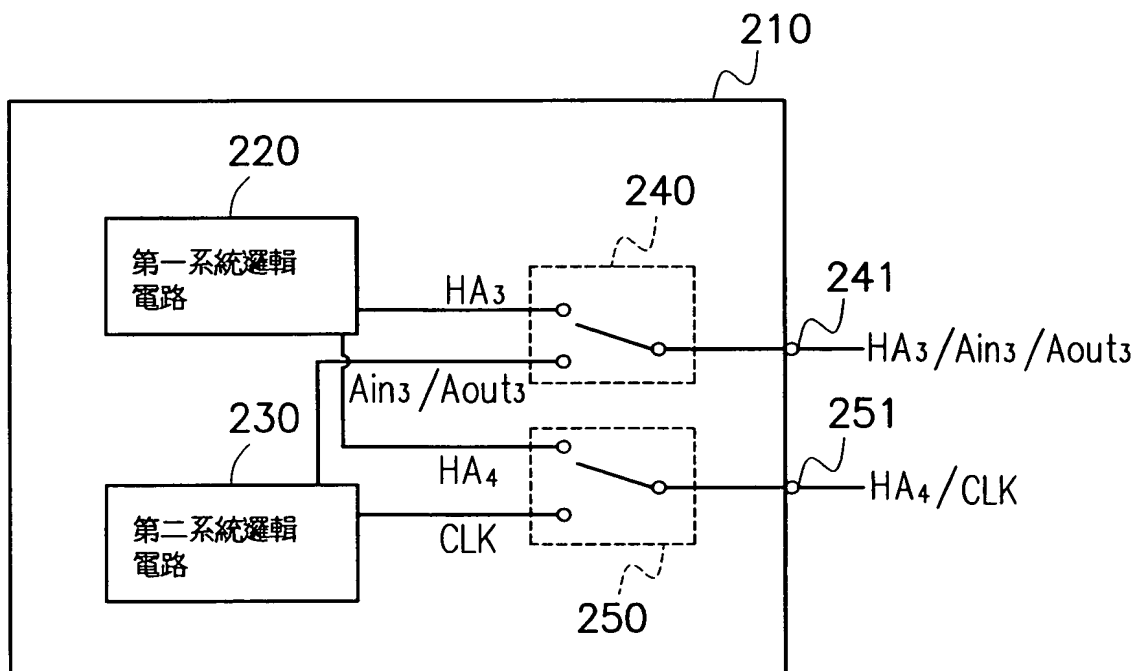
裝
訂
線



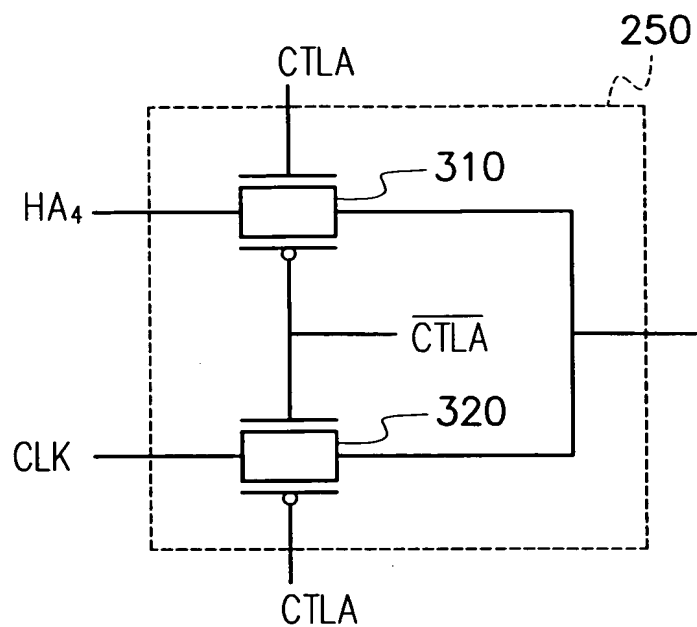
第 1A 圖



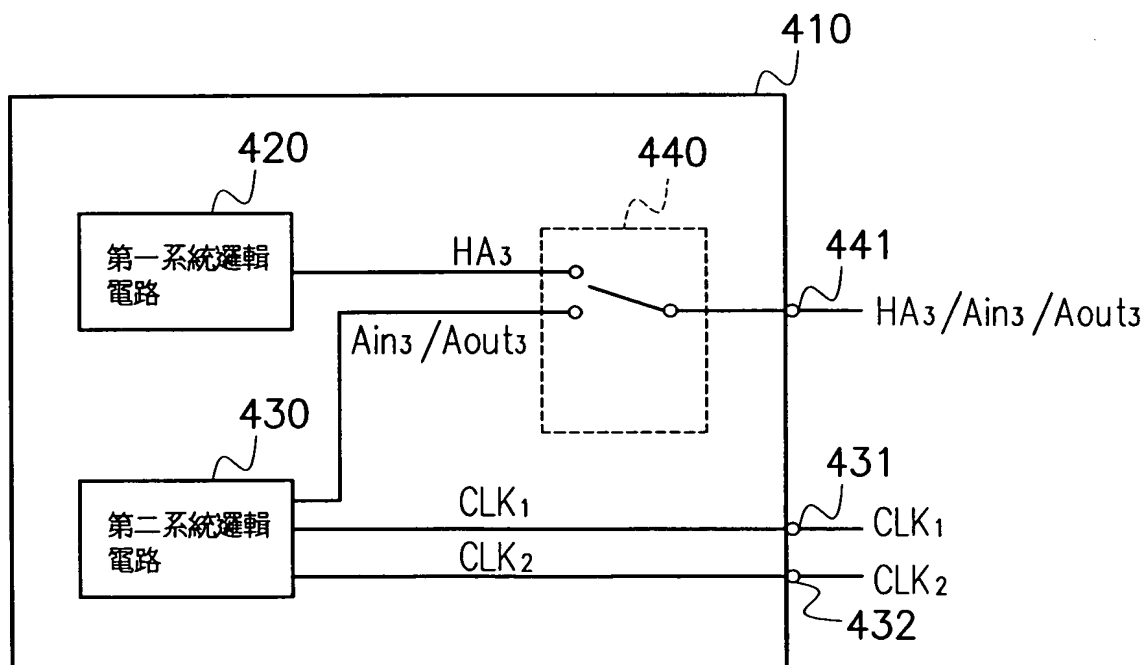
第 1B 圖



第 2 圖



第 3 圖



第 4 圖